

Hoogspannings-IC's voor het ZEUS beeldscherm.

Frans Schoofs, september 2015

Op 'n zeker moment werd ik uitgenodigd voor een demo van het 'zeer geheime' Zeus beeldscherm. Ik had er inderdaad nog niet eerder van gehoord.

Het betrof een plat beeldscherm, op vacuüm CRT-principes gebaseerd met fosforen waarvan de helderheid op klassieke wijze wordt bepaald door de elektronenstroom van een kathode te regelen met elektrodes (rooster genaamd bij elektronenbuizen). Een revolutionair idee betrof de elektronenbaan, d.w.z. elektronenbundels lopen hier parallel met het schermoppervlak. Voor de verdere beschrijving wordt uitgegaan van een 600x800 pixel paneel. Voor de aansturing van helderheid van de pixels zijn er dan 3x800 stuur elektrodes nodig voor RGB. De elektronenbundels lopen in verticale richting langs een aantal in horizontale richting geplaatste deflectie-elektrodes (hier 600). Deze deflectie-elektrodes moesten een vanaf de kathode toenemende bias-spanning hebben van telkens ca. 5 V. Bij 600 verticale pixels loopt de bias-spanning van deze elektrodes vanaf de kathode tot de ander zijde van het paneel dan op tot ca. 3000 V. Door nu op het juiste tijdstip een +150 V puls-spanning te superponeren op de bias-spanning van 'n deflectie-elektrode zullen de elektronenbundels naar het betreffende deel van het front van het paneel afbuigen en de daar aanwezige fosfor treffen waardoor licht gegenereerd wordt.

De benodigde elektronica voor zo'n beeldscherm kon niet op zinvolle wijze gebouwd worden met bestaande IC's en voor grootschalige toepassing zijn applicatie-specifieke IC's nodig. De aantallen IC's voor Zeus zouden zeker een specifieke IC-technologie rechtvaardigen.

Voor de helderheid moeten 3x800 elektrodes aangestuurd worden m.b.v. laagspannings-IC's waarbij de homogeniteit van de helderheid natuurlijk een issue is. Dit zou standaard laagspannings-IC-technologie vereisen.

Voor de deflectie met de daarbij voorkomende hoge spanningen was ik uitgenodigd, gezien mijn rol bij het ontstaan en ontwikkeling van talrijke hoogspannings-IC-technologieën en toepassingen.

IC-technologie voor 3000 V bestaat niet en zal ook niet gauw bestaan. Verder is een algemeen probleem bij hoogspannings-IC's dat een ruststroom van 1mA bij 5V geen onmiddellijk alarm doet afgaan; bij 3 kV ligt dat anders.

Bij de bestaande hardware configuratie werd de oplopende bias-spanningen van 0 tot 3 kV bepaald door een serieschakeling van weerstandjes, gekoppeld aan de deflectie-elektrodes, tezamen met een groot aantal CRT drijver-IC's (150 V) waarvan de uitgangen capacitief gekoppeld waren naar de deflectie-elektrodes. De benodigde doorslagspanning van de betreffende condensators loopt dus op tot 3 kV. Tgv. spanningsafhankelijkheid van CMC koppelcondensators moet een veel hogere waarde c.q. een ander type condensator met veel grotere afmetingen worden gekozen.

Een eerste oplossing welke we voorstelden was als volgt: 'stapel' de IC's in spanning, 20 stuks 150 V-IC's met elk 32 uitgangen, welke totaal geschikt zijn voor 640 deflectie-elektrodes. De voedingsspanning van de 'stapel' IC's bedraagt dan 3 kV. De benodigde bias-spanningen worden nog steeds m.b.v. een serie weerstanden opgewekt, maar nu bedraagt de spanning over de koppelcondensatoren max. 150 V. Een IC-oplossing zonder koppelcondensatoren zou 300 V-IC's vragen, aanzienlijk grotere chips dus.

Tijdens de discussie over een IC-oplossing sprak men over een 'chip'je dat nodig zou zijn. N.B. ik moest uitgaan van een functioneel blokschema van het IC, bestaande uit globale circuitblokken. Er waren nog geen circuitsimulaties gedaan t.b.v. de specificaties. Mijn afschatting van het



benodigde oppervlak voor de 150 V-IC oplossing kwam met deze summier info uit op ca. 20x75 mm², d.w.z. 1500 mm² voor de deflectie alleen. Bij een 'rule-of-thumb' prijs van \$ 0,10/mm² (zie*), welke 'gold' voor standaard processen met hoge opbrengst (zie**) en chips met 'normale' afmetingen, wordt dat ca. \$150,-. Toen werd het even stil, druk om een kleinere oppervlakte te noemen heb ik weerstaan. De opmerking dat IC-technologie 'shrinkt' met de tijd geldt slechts in beperkte mate in dit geval. De lengte van de MOS-transistors wordt bepaald door de benodigde doorslagspanning, de breedte door de benodigde stroom en beiden worden bepaald door limieten uit de fysica. Op dat gebied benaderde de praktijk de theoretische limiet al in redelijke mate. Omdat het gaat om capacitieve belasting (deflectie-elektrodes) welke in korte tijd opgeladen en ontladen moeten worden is een relatief hoge stroom nodig. Verder meende ik dat in de toekomst grotere schermen met meer pixels gevraagd zouden worden. Het aantal deflectie-elektrodes en de gewenste stroom zouden daardoor zeker stijgen, het IC oppervlak zou dus zeker niet aanzienlijk kleiner worden.

Er zijn deflectie-IC's ontworpen en er zijn test-samples gemaakt. Helaas was de oppervlakte-schatting al optimistisch, een zorgvuldige layout kwam uit op ca. 90 mm² per IC.

Tijdens het IC-ontwerp is nog gedacht aan een optie om een meer-traps deflectie toe te passen hetgeen moest leiden tot minder elektronica ten koste van een complexer paneel. Wat er nodig was voor de helderheids-aansturing en calibratie van homogeniteit van het licht van de 3x800 elektronenbundels (initieel en gedurende levensduur) is mij niet bekend. Het lijkt me echter verre van triviaal.

Prijstechnisch zag het er niet goed uit en de beeldkwaliteit was (nog?) niet competitief. Het werd stil en vrij snel werd het project, waarbij een groot aantal mensen betrokken waren, gestopt. Het zou beter geweest zijn als alle aspecten van zo'n display beschouwd werden voordat zo'n uitgebreid project gestart werd. Elektronici werden te laat betrokken (het was 'zeer geheim') en ik sluit niet uit dat het benodigde 'chip'je een van de show-stoppers bleek te zijn, zelfs al zonder de laagspannings-IC's die ook nodig waren. De gedachte: "Oh, nu nog een chipje !" was ook hier een frustrerende ervaring.

Het toekomstperspectief van het Zeus display was niet goed. De 'mechanische' aspecten laten geen hoge 'dot per inch' waarde toe. Er lopen(3x800) elektronenbundels parallel aan elkaar en aan het front van het paneel. Er mag geen 'overspraak' tussen deze elektronenbundels bestaan, hetgeen de pixeldichtheid beperkt. Verder had ik begrepen dat Philips nagenoeg 100% van de mogelijke kennis op fosforgebied onder de knie had. Dit mocht dan wel waar zijn voor CRT beeldbuisfosfor waar elektronen met hoge energie (>25keV) het fosfor treffen, of voor TL buizen, maar tijdens de latere joint-venture met LG voor plasmaschermen bleek dat hier toch een gebrek aan kennis bestond.

Het idee was origineel, maar men heeft onderschat welke aspecten aan de orde zouden zijn. Door het geheime karakter van het project is er belangrijke kennis te laat bij betrokken geweest. Helaas, het zoveelste display-project dat op niets uitliep.

*) Deze prijs werd zeker niet door 'Philips Semiconductors' genoemd. Hij werd gebruikt als rekengetal om een eerste indruk te hebben om welke grootte van orde het gaat en was zeker 'optimistisch' en zou in geen geval gelden bij de toenmalige stand der techniek. De mm² prijs hangt o.a. af van het aantal processtappen en chip-opbrengst-percentage per plak. Behalve de chips zijn er ook kosten voor voormeten, verpakking en eindmeten.

**) In IC materiaal bestaan afwijkingen welke leiden tot een fout eindproduct. Uit het percentage goede producten kan een foutdichtheid van een plak worden berekend. Deze foutdichtheid wordt gebruikt als parameter om opbrengst van andere chips te kunnen schatten. Er bestaan echter slechts enkele IC's in hoogspanningstechnologie welke bovendien sterk afwijken van de benodigde Zeus-IC's. Bij hoge spanning kan het effect van materiaal fouten op de opbrengst afwijken t.o.v. gelijksoortige fouten bij laagspannings-IC's. Voor de Zeus-IC's was de opbrengst-afschatting sowieso een grote gok.